



JP7029927

Biblio

Page 1

Drawing

esp@cenet



MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent Number: JP7029927
Publication date: 1995-01-31
Inventor(s): ONO TAKASHI; others: 01
Applicant(s): HITACHI LTD; others: 01
Requested Patent: ☐ JP7029927
Application Number: JP19930167238 19930707
Priority Number(s):
IPC Classification: H01L21/56; H01L23/28; H01L23/29; H01L23/31
EC Classification:
Equivalents:

Abstract

PURPOSE: To make a chip mounting part unnecessary and manufacture a thinner device, by bonding a semiconductor chip on the upper surface of a base member on which leads are stuck, connecting the semiconductor chip with the leads, sealing the part upper than the base member by using sealing resin, and peeling the base member by heating after sealing.

CONSTITUTION: A semiconductor chip 4 is bonded to the upper surface of a base material 2 on which leads 1 are stuck, the part upper than the base material 2 is sealed by using sealing resin 6 after the semiconductor chip 4 is electrically connected with rate leads 1, and the base material 2 is peeled by heating it after sealing with a heating means 7. For example, a semiconductor chip 4 is bonded to the upper surface of a tape 2 on which leads 1 are stuck, by using die bonding paste agent 3, and the semiconductor chip 4 is connected with the leads 1 by using bonding wires 5. After the part upper than the tape 2 is molded and sealed by using epoxy resin 6, the tape 2 is heated with the heater 7, and the adhesion to the leads 1 and the semiconductor chip 4 is lowered. Hence the tape is peeled.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-29927

(43) 公開日 平成7年(1995)1月31日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/56	R	8617-4M		
23/28	J	8617-4M		
23/29				
23/31				
		8617-4M	H 0 1 L 23/ 30	C
			審査請求 未請求 請求項の数 3	O L (全 4 頁)

(21) 出願番号 特願平5-167238

(22) 出願日 平成5年(1993)7月7日

(71) 出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000100997

アキタ電子株式会社
秋田県南秋田郡天王町天王字長沼64

(72) 発明者 小野 貴司

秋田県南秋田郡天王町天王字長沼64 アキ
タ電子株式会社内

(72) 発明者 越後 真

秋田県南秋田郡天王町天王字長沼64 アキ
タ電子株式会社内

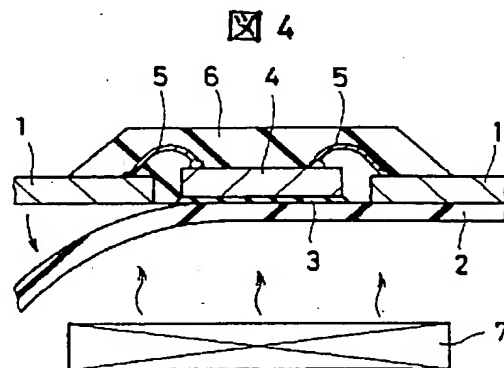
(74) 代理人 弁理士 筒井 大和

(54) 【発明の名称】 半導体集積回路装置の製造方法

(57) 【要約】

【目的】 半導体チップ搭載部を不要とし、より薄型の半導体集積回路装置を製造する方法を提供する。

【構成】 リード1が貼着されたテープ(基材)2の上面に半導体チップ4を接着し、この半導体チップ4とリード1とを電氣的に接続した後、テープ2より上部をエポキシレジン(封止樹脂)6によって封止し、封止後にテープ2をヒータ(加熱手段)7によって加熱して剥離する。



1 : リード 6 : エポキシレジン (封止樹脂)
 2 : テープ (基材) 7 : ヒータ (加熱手段)
 4 : 半導体チップ

【特許請求の範囲】

【請求項 1】 リードが貼着された基材の上面に半導体チップを接着し、前記半導体チップと前記リードとを電気的に接続した後、前記基材より上部を封止樹脂によって封止し、封止後に前記基材を加熱手段によって加熱して剥離することを特徴とする半導体集積回路装置の製造方法。

【請求項 2】 リードが貼着された基材の上面に半導体チップを接着し、前記半導体チップと前記リードとを電気的に接続した後、前記基材より上部を封止樹脂によって封止し、前記リードおよび前記半導体チップと前記基材との粘着力を、前記リードおよび前記半導体チップと前記封止樹脂との粘着力よりも弱くすることによって、封止後に前記基材を剥離することを特徴とする半導体集積回路装置の製造方法。

【請求項 3】 リードが貼着され、透明なポリイミドからなる基材の上面に半導体チップを接着し、前記半導体チップと前記リードとを電気的に接続した後、前記基材より上部を封止樹脂によって封止し、封止後に前記基材に紫外線を照射して剥離することを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路装置の製造方法に関し、特に薄型の半導体集積回路装置の製造方法について有効な技術に関するものである。

【0002】

【従来の技術】今日においては、半導体集積回路装置は高密度化、小型化とともに薄型化が一層要求されている。

【0003】このような状況下において、従来は、たとえば図 6 に示す TQFP (Thin Quad Flat Package) や TSOP (Thin Small Outline Package) に見られるように、厚さの薄いタブ 18 と半導体チップ 14 とを用い、パッケージの肉厚を約 1 ミリ程度と薄くし、一方、工法はそれまでと同様にして、薄型の半導体集積回路装置を製造している。

【0004】また、スマートカード用などの半導体集積回路装置である COB (Chip On Board) では、薄型化を図るために、前記のように薄い半導体チップ 24 を使用することなどに加えて、図 7 に示すように、基板 28 に凹状部 28a を形成して半導体チップ 24 を搭載している。

【0005】

【発明が解決しようとする課題】しかし、このような従来の方法では、半導体チップを搭載する場所であるタブあるいは基板が必須であり、その分だけ半導体集積回路装置の厚みが厚くなっていた。

【0006】確かに、タブや基板など半導体チップ搭載

部の厚さを薄くするアプローチはなされてはいるものの、薄肉化には一定の限界が存する。

【0007】そこで、本発明の目的は、半導体チップ搭載部を不要とし、より薄型の半導体集積回路装置を製造できる技術を提供することにある。

【0008】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【0009】

10 【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を説明すれば、次の通りである。

【0010】すなわち、本発明の半導体集積回路装置の製造方法は、リードが貼着された基材の上面に半導体チップを接着し、この半導体チップとリードとを電気的に接続した後、基材より上部を封止樹脂によって封止し、封止後に基材を加熱手段によって加熱して剥離するものである。

20 【0011】また、リードが貼着された基材の上面に半導体チップを接着し、半導体チップとリードとを電気的に接続した後に、基材より上部を封止樹脂によって封止し、リードおよび半導体チップと基材との粘着力を、リードおよび半導体チップと封止樹脂との粘着力よりも弱くすることによって、封止後に前記基材を剥離するものである。

30 【0012】そして、リードが貼着され、透明なポリイミドからなる基材の上面に半導体チップを接着し、この半導体チップとリードとを電気的に接続した後、基材より上部を封止樹脂によって封止し、封止後に基材に紫外線を照射して剥離するものである。

【0013】

【作用】上記のような半導体集積回路装置の製造方法によれば、半導体チップが接着された基材をモールド後に剥離することによって、半導体チップを搭載する場所であるタブや基板が不要となり、それだけ半導体集積回路装置の厚さを薄くすることが可能になる。

【0014】

【実施例】以下、本発明の実施例を、図面に基づいてさらに詳細に説明する。

40 【0015】図 1～図 5 は、本発明の一実施例である半導体集積回路装置の製造工程を示す説明図である。

【0016】本実施例における半導体集積回路装置の製造方法は、次に示すものである。

【0017】まず、図 1 に示すように、リード 1 が貼着されたテープ (基材) 2 の上面に、図 2 に示すように、たとえば銀エポキシ系のダイボンディングペースト剤 (接着部材) 3 によって半導体チップ 4 を接着し、この半導体チップ 4 とリード 1 とをボンディングワイヤ 5 で電気的に接続する。

50 【0018】次に、図 3 に示すように、テープ 2 より上

部をエポキシレジン（封止樹脂）6によってモールド封止する。

【0019】そして、図4に示すように、テープ2をヒータ（加熱手段）7で加熱することによってリード1および半導体チップ4界面との接着力を低下させて剥離する。

【0020】最後に、図5に示すように、半田実装を良好にするためにリード1下面にメッキ処理を施して、必要ならばダムバー（図示せず）をカットし、リード1を所定の形状に成形して、製品としての半導体集積回路装置が完成する。

【0021】本実施例に示すような半導体集積回路装置の製造方法によれば、半導体チップ4が接着されたテープ2をモールド後に剥離することによって、半導体チップを搭載する場所であるタブが不要となるので、それだけ半導体集積回路装置の厚さを薄くすることが可能になる。

【0022】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0023】たとえば、前記実施例においては、接着部材3としてダイボンディングペースト剤を用い、これによって半導体チップ4をテープ2の上面に接着したが、この接着部材3はダイボンディングペースト剤以外にも種々のものを用いることが可能である。

【0024】また、前記実施例においては、ヒータ7でテープ2を加熱することによってリード1および半導体チップ4界面との接着力を低下させてテープ2を剥離しているが、それ以外にも、たとえば、リード1および半導体チップ4とテープ2との接着力を、リード1および半導体チップ4と封止樹脂6との接着力よりも弱くすることによって剥離する方法や、テープ2を透明なポリイミドからなるものとし、これに紫外線を照射して接着力を弱めることによって剥離する方法などが考えられる。

【0025】さらに、前記実施例では、半導体チップ4の封止をエポキシレジン（封止樹脂）6としてトランスファーマールドにより行っているが、ポッティング剤を封止樹脂6として用いることによってCOBに適用することも可能である。

【0026】なお、半田実装を良好にするためのリード1下面のメッキ処理工程は省略することができ、ダムバーとしてテープを用いた場合にはダムバーのカットも省略することができる。

【0027】

【発明の効果】本願において開示される発明のうち、代

表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0028】(1). すなわち、本発明の半導体集積回路装置の製造方法によれば、リードが貼着された基材の上面に半導体チップを接着し、この半導体チップとリードとを電気的に接続した後に基材より上部を封止樹脂によって封止し、封止後に基材を剥離することによって、タブや基板などの半導体チップ搭載部が不要となる。

【0029】(2). したがって、半導体集積回路装置の厚さが上部の封止樹脂部と半導体チップの厚さとなり、従来の半導体集積回路装置に比較して、下部の封止樹脂部と半導体チップ搭載部の厚さがなくなり、その分だけ半導体集積回路装置の薄型化を図ることができる。

【0030】(3). さらに、本発明の半導体集積回路装置によれば、下部の封止樹脂部と半導体チップ搭載部とを省略することができるので、前記のような薄型化と同時に、半導体集積回路装置の軽量化も図ることができる。

【図面の簡単な説明】

【図1】本発明の実施例による半導体集積回路装置の製造工程を示す説明図である。

【図2】本発明の実施例による半導体集積回路装置の製造工程を示す説明図である。

【図3】本発明の実施例による半導体集積回路装置の製造工程を示す説明図である。

【図4】本発明の実施例による半導体集積回路装置の製造工程を示す説明図である。

【図5】本発明の実施例による半導体集積回路装置の製造工程を示す説明図である。

【図6】従来の半導体集積回路装置を示す断面図である。

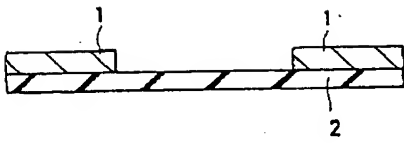
【図7】従来の半導体集積回路装置を示す断面図である。

【符号の説明】

- 1 リード
- 2 テープ（基材）
- 3 ダイボンディングペースト剤（接着部材）
- 4 半導体チップ
- 5 ボンディングワイヤ
- 6 エポキシレジン（封止樹脂）
- 7 ヒータ（加熱手段）
- 14 半導体チップ
- 18 タブ
- 24 半導体チップ
- 28 基板
- 28a 凹状部

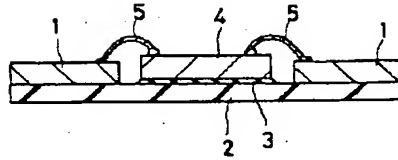
【図1】

図1



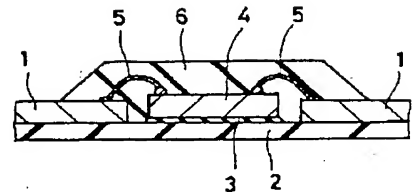
【図2】

図2



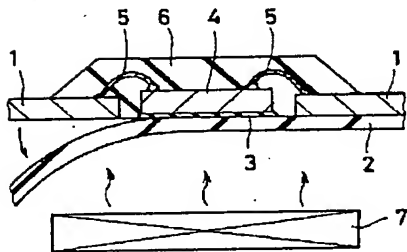
【図3】

図3



【図4】

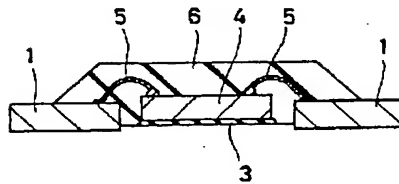
図4



- 1: リード
2: テープ (基材)
4: 半導体チップ
5: エポキシレジン (封止樹脂)
6: エポキシレジン (封止樹脂)
7: ヒータ (加熱手段)

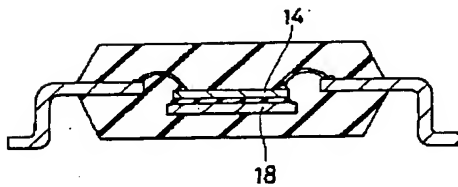
【図5】

図5



【図6】

図6



【図7】

図7

